

⑫ 公開特許公報(A) 平3-263685

⑤ Int. Cl.⁵
G 11 C 11/406

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月25日

8526-5L G 11 C 11/34 3 6 3 J

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 ダイナミックランダムアクセスメモリ

⑮ 特 願 平2-63006

⑯ 出 願 平2(1990)3月13日

⑰ 発 明 者 萩 原 佳 博 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 発 明 者 渡 辺 能 一 東京都港区西新橋3丁目20番4号 日本電気エンジニア
 ング株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑲ 出 願 人 日本電気エンジニアリ 東京都港区西新橋3丁目20番4号
 ング株式会社
 ⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

ダイナミックランダムアクセスメモリ

2. 特許請求の範囲

メモリリフレッシュ専用のビット線とワード線及び各ワード線で選択された行アドレスに値するビット線上のデータを保持する為のセンスアンプと、メモリセル外に外部よりクロック信号を受けリフレッシュ間隔及びリフレッシュ用ロウアドレスを生成する為のリフレッシュ制御部と、外部よりのメモリアクセスとリフレッシュが同一アドレスに重複した場合にリフレッシュをマスクする為のメモリアクセス調停部と、リフレッシュ専用のロウアドレスデコーダとを含むことを特徴とするダイナミックランダムアクセスメモリ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はダイナミックランダムアクセスメモリに関する。

〔従来技術〕

従来、この種のダイナミックアクセスメモリ(以下DRAMという)は、外部回路においてリフレッシュ制御を実現させているもの、又、リフレッシュ専用端子を有し、その端子に信号を入力するだけで内部においてリフレッシュアドレス及びRAS等を発生させ、リフレッシュを実現させているもの(オートマチックリフレッシュ、セルフリフレッシュ)があり、どちらについても外部からのメモリアクセスとリフレッシュの競合を調停させ、一方のアクセスのみを許可させていた。

〔発明が解決しようとする課題〕

上述した従来のDRAMは、通常外部よりのアクセスとリフレッシュが競合した場合、調停を行い、リフレッシュを優先させ、外部からのアクセスを待たせるため、どちらか一方しかメモリをアクセスすることができず、メモリサイクルが延長するという欠点がある。

〔課題を解決するための手段〕

本発明のDRAMは、DRAMチップ内のメモリスセル構造において、リフレッシュ専用のワード線、ビット線及びセンスアンプを有し、更にメモリスセル外に外部よりクロック信号を受け、リフレッシュタイミング及びリフレッシュ用のロウアドレスを生成する為のリフレッシュ制御部、リフレッシュ用ロウアドレスをデコードする為のリフレッシュ専用のロウアドレスデコーダと、リフレッシュと外部からのアクセスが同一アドレスへ重複した場合において調停を行う為のメモリアクセス調停部を有している。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図である。

1はロウアドレスストロブ（以下RASと省する）、カラムアドレスストロブ（以下CASと省する）、アウトプットイネーブル（以下OEと省する）、ライトイネーブル（以下、WEと省す

たりリフレッシュ用ロウアドレスをデコードする為のリフレッシュ用ロウアドレスデコーダ。11はアドレスポート2より入力されるカラムアドレスをデコードする為のカラムアドレスデコーダ、12は外部アクセス用のセンスアンプ、13はリフレッシュ専用のセンスアンプ、14は出力用データバッファ、15は入力用データバッファである。

第2図はメモリスセルアレイ内の構造等価回路の一部を示したもので、101は外部よりの通常アクセス用ビット線、102はリフレッシュ専用のビット線、103はリフレッシュ専用のワード線、104は通常アクセス用ワード線、105、106は各々、各ワード線においてデコードされた場合ONとなるスイッチングトランジスタ、107はデータを蓄積しておく為のコンデンサである。

次に、本発明におけるリフレッシュ動作を説明する。

まず、ポート3より入力されたクロック信号によりリフレッシュ制御部7によりリフレッシュ間隔が決定され、リフレッシュ用ロウアドレスとリ

る等のメモリアクセス制御信号を入力する為のポートである。2はメモリアクセスに必要なロウアドレス、カラムアドレスを入力する為のポートである。3はリフレッシュ要求を一定間隔で生成する為のクロック信号入力ポートである。4はメモリデータ入出力ポート、5はポート1より入力される信号によりメモリアクセスタイミングを制御する為のアクセスタイミング制御部であり、6はアドレスポート2より入力されるロウ、カラムの両アドレスを受ける為のアドレスバッファ、又、7はポート3より入力されるクロックによりリフレッシュ間隔を決定し、決定された間隔によりリフレッシュ用ロウアドレス及びリフレッシュ用RAS信号を生成する為のリフレッシュ制御部。8は外部アクセスとリフレッシュ時のロウアドレスが重複した場合、メモリスセル上の同一アドレスをアクセスさせない様にする為のメモリアクセス調停部。9はアドレスポート2より入力されるロウアドレスをデコードする為のロウアドレスデコーダ、10はリフレッシュ制御部7で生成され

リフレッシュ用RAS信号が出力される。

これらによりリフレッシュ専用ロウアドレスデコーダ10により選択されたワード線、例えばワード線103が選択されたとすると、スイッチングトランジスタ106がONになり、コンデンサ107に蓄積されているデータ情報がビット線102を通じてリフレッシュ専用のセンスアンプ13へラッチされ、再び同じルートを通じ同メモリスセル上の同アドレスへライトされ一行分のリフレッシュが完了する。（RASオンリーリフレッシュ）

上記動作を一定間隔に繰り返すことによりメモリスセルアレイ全体のリフレッシュが完了する。

次に、外部からのメモリアクセス動作を説明する。

本動作は従来におけるメモリアクセス動作と同じであり、まずポート2よりロウアドレスが入力されポート1より入力されたRAS信号により有効となり、ロウアドレスデコーダ9で選択されたワード線、例えばワード線104が選択されたと

すると、これによりスイッチングトランジスタ105がONになり、コンデンサ107に蓄積されていたデータがビット線101を通じ、センスアンプ12へ一行分のデータがラッチされる。

その後、更にポート2よりマルチプレクスされて入力されたカラムアドレスがポート1より入力されたCAS信号により有効となり、カラムアドレスデコーダ11で選択されたビット線にあたるセンスアンプ12の状態値がメモリリードシーケンスの場合、出力されデータ出力バッファ14を介して外部へ出力され、又、メモリライトシーケンスの場合は外部より入力され、データ入力バッファ15を介してセンスアンプ12上のデータが書き換えられる。

以上の動作終了後、センスアンプ12上の1行分のデータをアクセスされた同ロウアドレスに値するメモリセル上へライトされメモリアクセス動作を完了する。

外部よりのアクセスとリフレッシュにおいて、アドレスが競合した場合を想定すると、メモリア

ccess調停部8において常に両者のロウアドレスを比較しており、両者のロウアドレスが同一であった場合、リフレッシュ側のメモリアクセスを禁止し、外部よりのアクセスを有効にする。

前記制御によりその場合のロウアドレスで示される領域は、自然とリフレッシュされる。

以上、通常メモリアクセス用のビット線、ワード線及びセンスアンプの他にリフレッシュ専用のビット線、ワード線及びセンスアンプ、ロウデコーダを有し、更にチップ内にリフレッシュ制御部、メモリアクセス調停部を有することにより、外部メモリアクセスとリフレッシュを同時に実施でき、又、同一アドレスへ外部アクセスとリフレッシュとが重複した場合、メモリアクセス調停部8にて調停を行うことにより、従来のDRAMと比較してリフレッシュ制御が皆無であるDRAMを実現できる。

[発明の効果]

以上説明したように本発明は、実施例で掲げた機能をDRAM内部に有することにより、リフ

レッシュ制御が不要でかつ外部からのアクセスがリフレッシュによって延長されることのないDRAMを実現できるという効果がある。

ッシュ用ビット線、103……リフレッシュ用ワード線、104……ワード線、105……スイッチングトランジスタ、106……リフレッシュ用スイッチングトランジスタ、107……コンデンサ。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は第1図にて示されるメモリセルアレイ内部の一構造を示す回路図である。

1……メモリアクセス制御信号入力ポート、2……アドレス入力ポート、3……リフレッシュ制御用クロック入力ポート、4……データ入出力ポート、5……メモリアクセスタイミング制御部、6……アドレスバッファ、7……リフレッシュ制御部、8……メモリアクセス調停部、9……ロウアドレスデコーダ、10……リフレッシュ用ロウアドレスデコーダ、11……カラムアドレスデコーダ、12……外部アクセス用センスアンプ、13……リフレッシュ用センスアンプ、14……出力データバッファ、15……入力データバッファ、101……ビット線、102……リフレ

代理人 弁理士 内 原 晋

